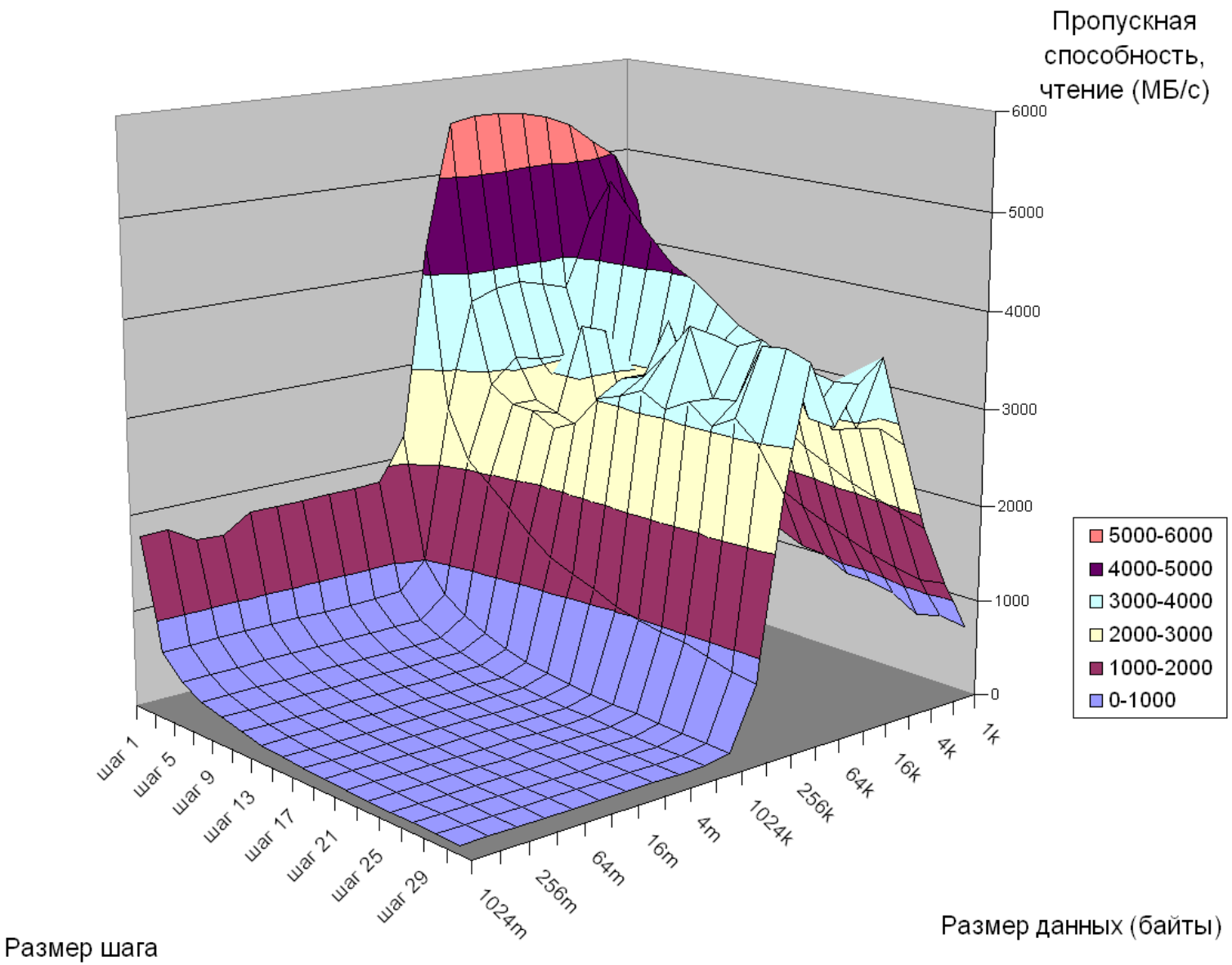
© 2014 МГУ/ВМК/СП

Лекция 23

30 апреля

© 2014 МГУ/ВМК/СП

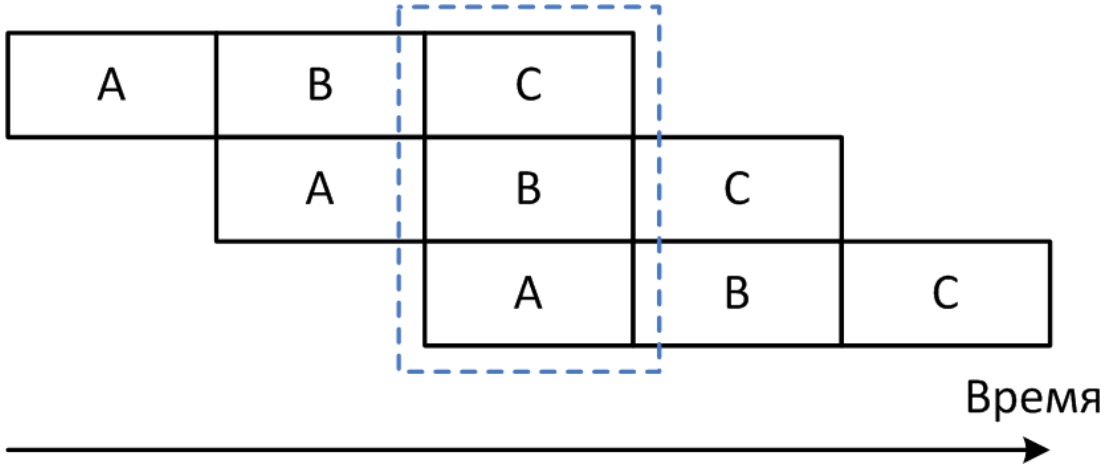


Intel(R) Xeon(TM) CPU 2.80GHz 2x2

© 2014 МГУ/ВМК/СП

Конвейер

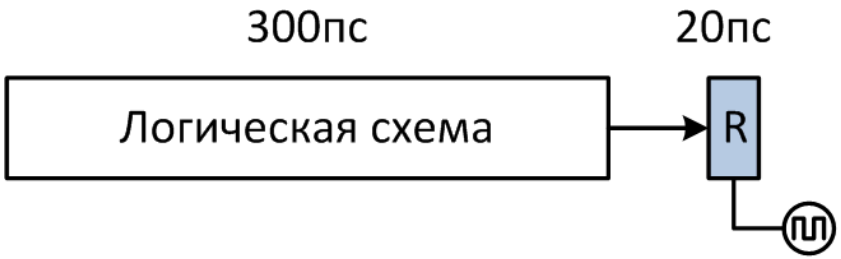
- Общая для различный предметных областей методика
- Длительность обработки неизменна или несколько увеличивается
- Увеличение пропускной способности

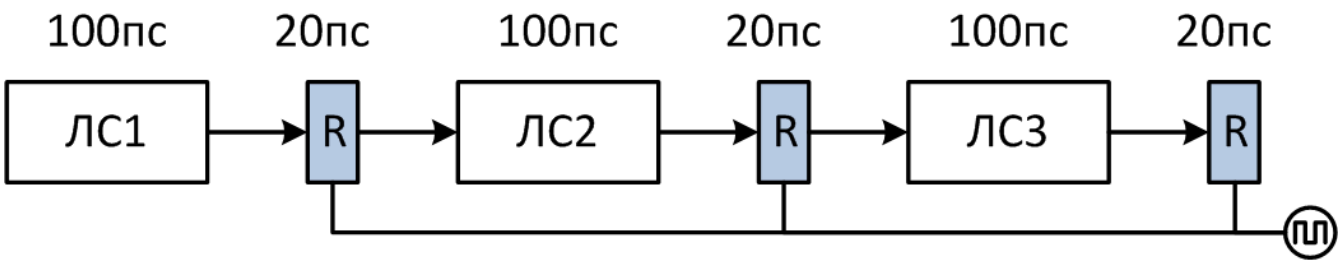


© 2014 МГУ/ВМК/СП

Организация конвейерных вычислений

Задержка 320пс
Пропускная способность 3.12 GIPS

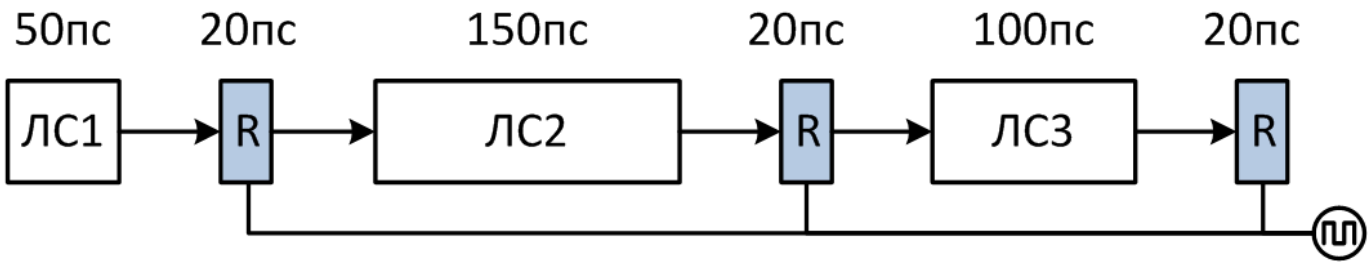




Задержка 360пс
Пропускная способность 8.33 GIPS

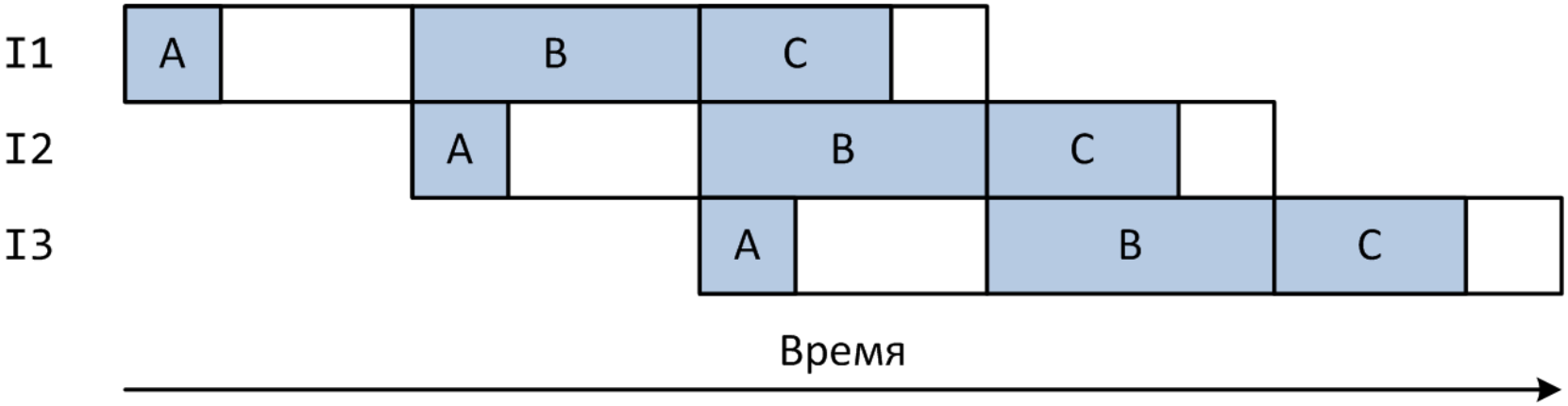
© 2014 МГУ/ВМК/СП

Неоднородность ступеней конвейера



Задержка 510пс

Пропускная способность 5.88 GIPS



© 2014 МГУ/ВМК/СП

Упрощенная схема работы конвейера

1. (F) Извлечение инструкции из памяти
2. (D) Декодирование, обновление EIP
3. (E) Извлечение данных
4. (O) Непосредственное выполнение операции
5. (W) Запись результата

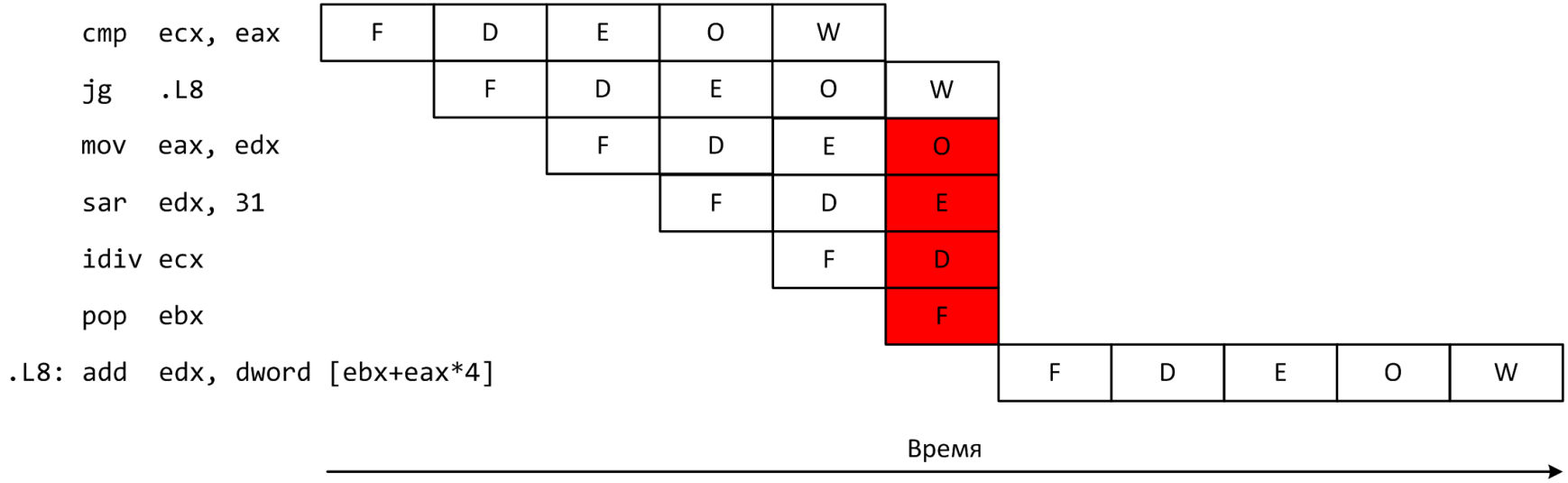
© 2014 МГУ/ВМК/СП

Недостатки конвейерной организации

- Опустошение конвейера
  - Современные процессоры могут содержать конвейеры длины 15 и более
  - Изменение EIP сбрасывает промежуточные результаты выполнения следующих инструкций
- Зависимости по чтению и записи регистров
- Остановки из-за обращения к памяти
- Сброс промежуточных результатов при возникновении исключительной ситуации

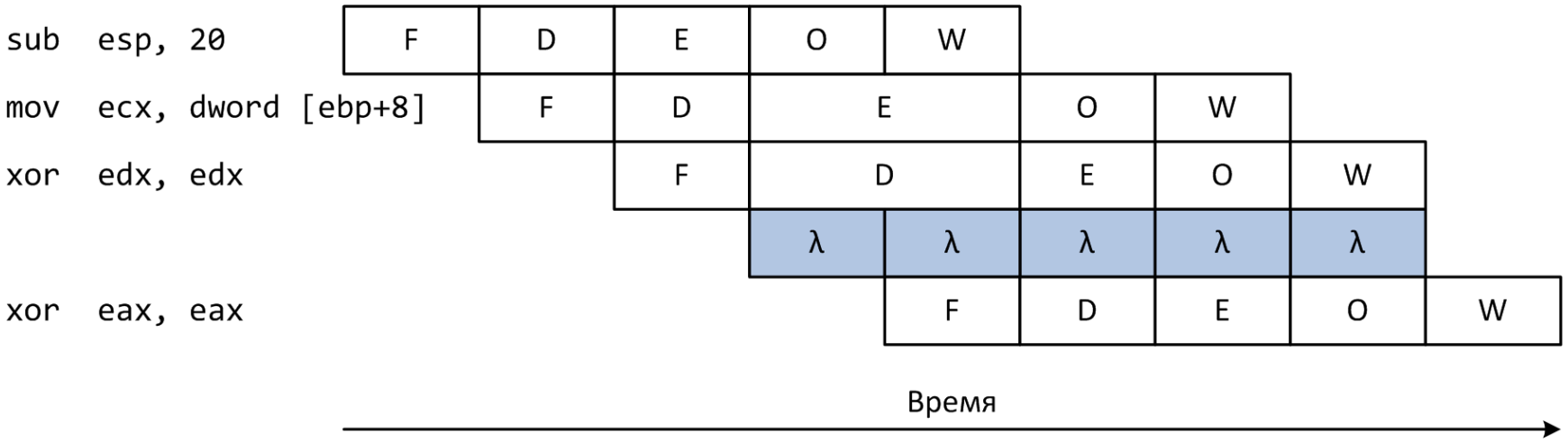
© 2014 МГУ/ВМК/СП

Опустошение конвейера



© 2014 МГУ/ВМК/СП

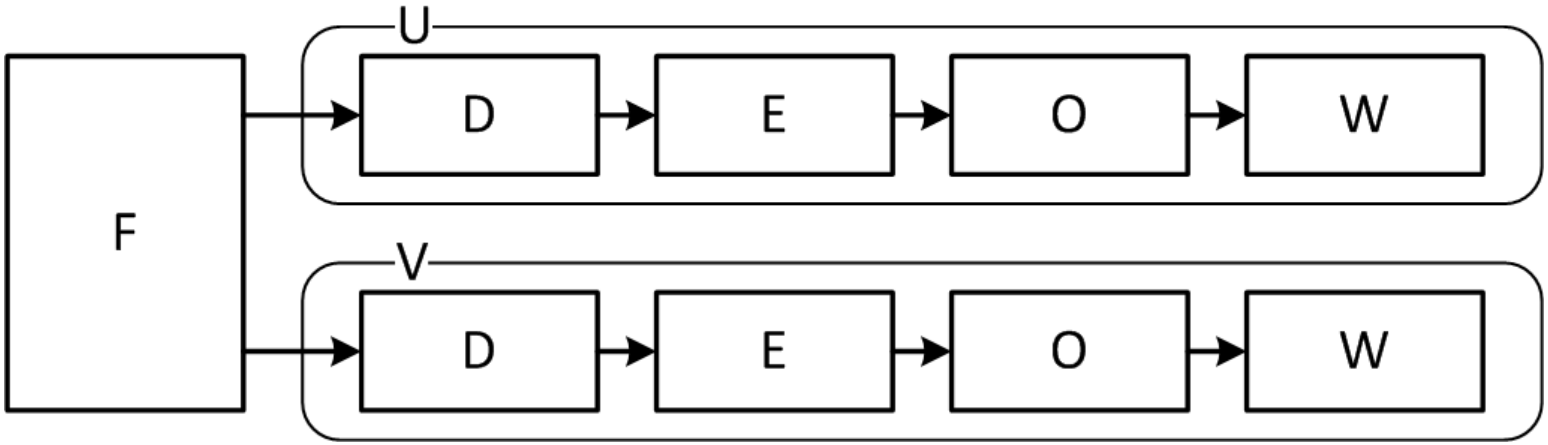
Приостановка конвейера



© 2014 МГУ/ВМК/СП

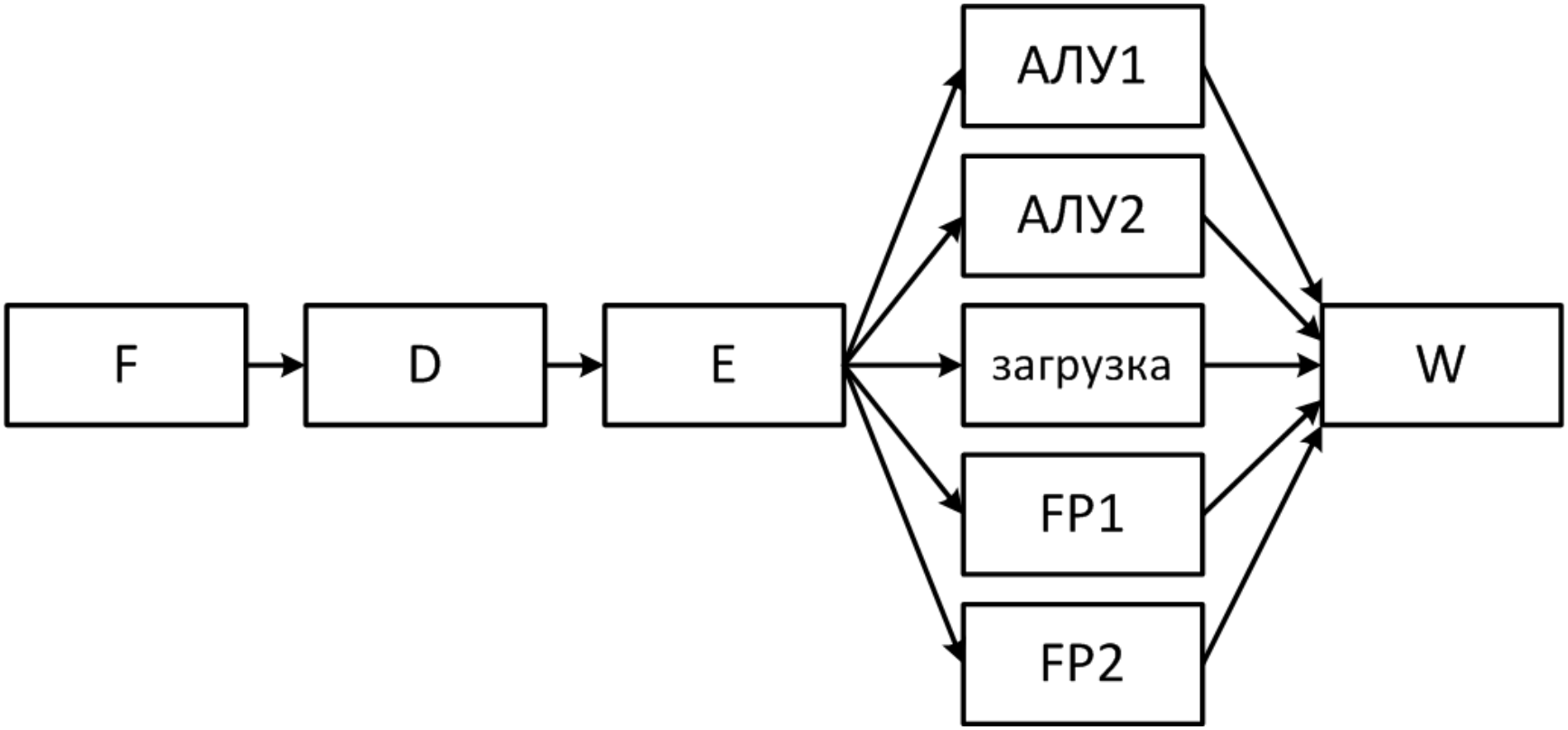
Двойной конвейер

- Двойной конвейер с общим этапом выборки команд
- Впервые появился на Pentium: введены u- и v-конвейеры
- Возможности конвейеров неравноценны



© 2014 МГУ/ВМК/СП

Суперскалярная архитектура



© 2014 МГУ/ВМК/СП

RISC vs CISC

(Reduced vs Complex Instruction Set Computer)

- Исторически CISC предшествовал RISC
  - PDP-11 → VAX / CISC, 1977 г.
  - MIPS, SPARC / RISC, конец 80-х
- Простые операции
  - Ограниченный набор простых команд (например, нет деления)
  - Команда выполняется за один такт
  - Фиксированная длина команды (простота декодирования)
- Конвейер
  - Каждая операция разбивается на однотипные простые этапы, которые выполняются параллельно
  - Каждый этап занимает 1 такт, в т.ч. декодирование
- Регистры
  - Много однотипных взаимозаменяемых регистров (могут использоваться и для данных, и для адресации)

© 2014 МГУ/ВМК/СП

RISC vs CISC

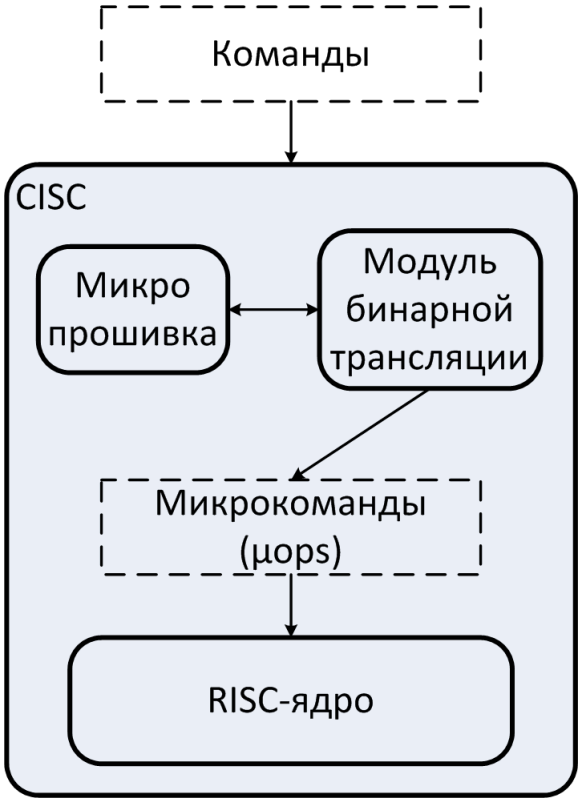
(Reduced vs Complex Instruction Set Computer)

- Модель работы с памятью
  - Отдельные команды для загрузки/сохранения в память
  - Команды обработки данных работают только с регистрами
- Сложность оптимизаций перенесена из процессора в компилятор
  - Производительность сильно зависит от компилятора
- Итого: более простое ядро, выше частота процессора
- В P6 реализован гибридный подход: CISC-процессор с RISC-ядром

© 2014 МГУ/ВМК/СП

Производительность: особенности современной архитектуры Intel64 и не только

- Многоядерность
- Многоуровневый кэш, раздельный кэш кода и данных
- Суперскалярная архитектура
- Векторные команды MMX, 3DNow!, SSE, ...
- Внеочередное выполнение команд
- Предсказание переходов
- ...



Наиболее показательный пример бинарной трансляции кода на уровне процессора: Transmeta Crusoe, 2000 г.

© 2014 МГУ/ВМК/СП

Промежуточные итоги
Борьба за производительность

- Программы
  - Оптимизирующий компилятор
    - машинно-независимые и машинно-зависимые оптимизации
  - Выравнивание данных
  - Улучшение локальности

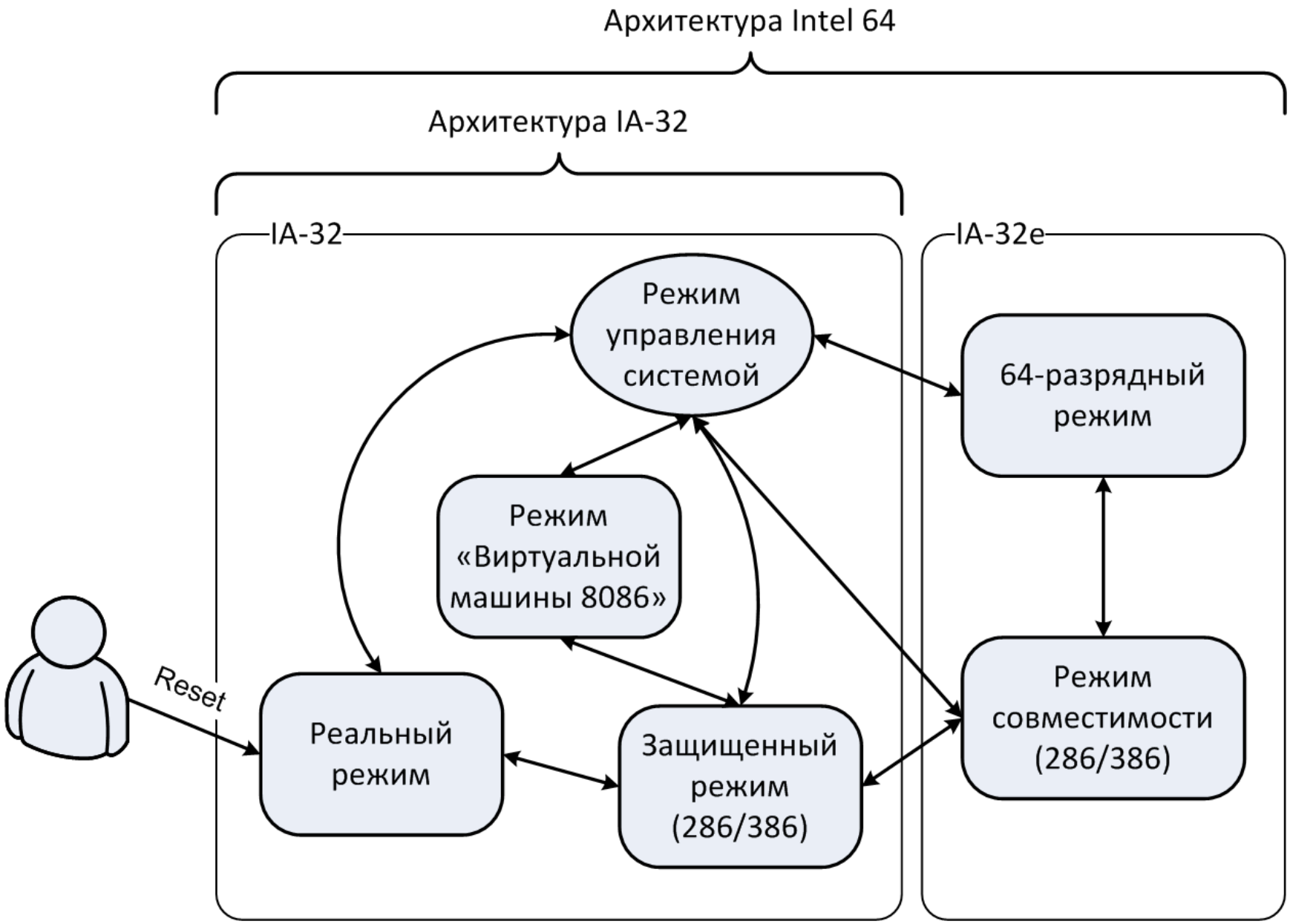
- Аппаратура
  - Иерархическая организация памяти
    - многоуровневое кэширование данных
  - Расслоение памяти
  - Согласованность пропускной способности шин и устройств
  - Перекрытие операций ввода/вывода и вычислений
  - Конвейерное выполнение инструкций
    - Увеличение количества функциональных устройств
  - Упорядочивание архитектуры ЦПУ / RISC
    - Больше возможностей для разработки машинно-зависимых оптимизаций

© 2014 МГУ/ВМК/СП

История развития x86

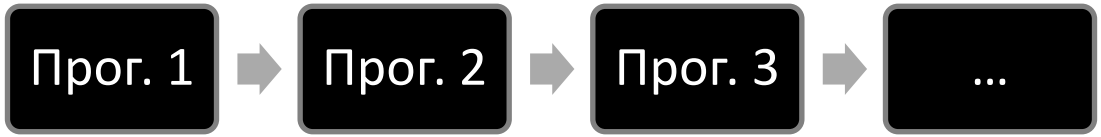
- 4004 – ноябрь 1971. 4-битный микропроцессор. Первый в мире коммерчески доступный однокристальный микропроцессор.
- 8008 – апрель 1972. 8080 – апрель 1974. 8-битные процессоры.
- 8086 – 1978. Размер слова – 16 бит, ширина адресной шины – 20 бит. Адреса вычисляются с использованием сегментных регистров.
- 80186 – 1982. Добавлено несколько новых инструкций.
- 80286 – 1982. Ширина адресной шины – 24 бита, добавлено устройство контроля памяти – MMU. Процессор мог переключаться между двумя режимами – реальным и защищенным.
- 80386 – октябрь 1985. Снят с производства в 2007. Размер слова – 32-разряда. Процессор мог переключаться между тремя режимами – реальным, защищенным, виртуальным. Адресуемая память – 4 ГБ.
- ...
- Intel Xeon E7-8870 - 2011. 2.40 GHz; 2.2×10^9 транзисторов; системная шина QPI: 6.4 ГТ/с; обращение к памяти: 102 ГБ/с; Адресуемая память – 16 ТБ; Кэш L1: 64КБ L2: 256КБ L3: 30МБ

© 2014 МГУ/ВМК/СП

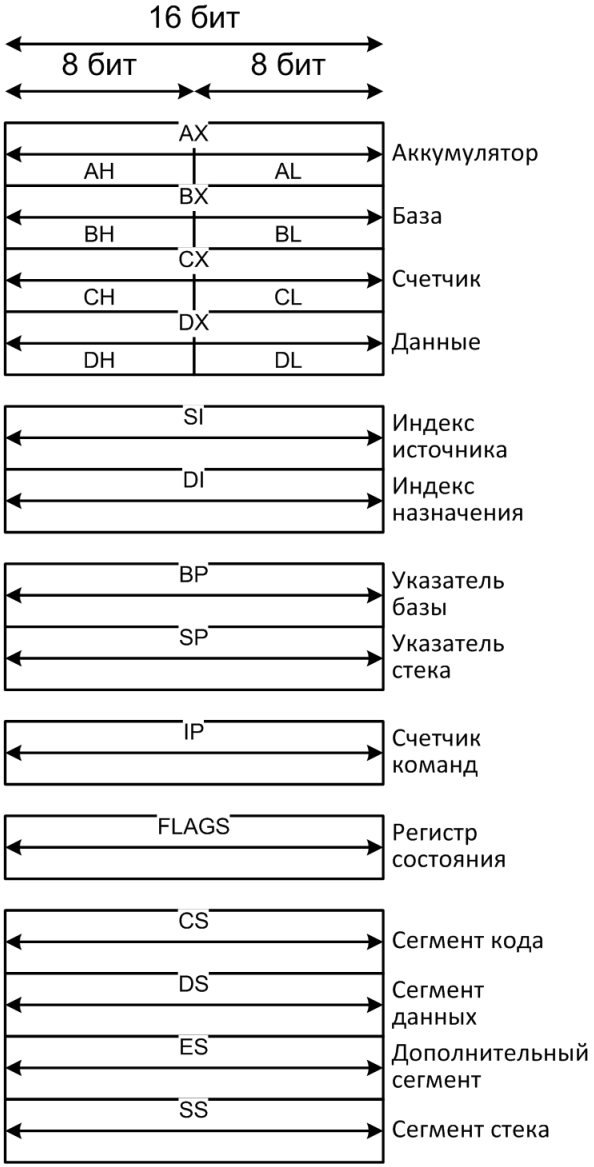


© 2014 МГУ/ВМК/СП

Реальный режим / 8086



- В каждый момент времени работает ***только одна*** программа
  - Эта программа управляет всеми ресурсами
- Машинное слово 16 разрядов, адрес 20 разрядов
  - Сегментные регистры
  - Исполнительный адрес = (сег_рег) << 4 + смещение
- Доступна вся память
- Периферийные устройства управляются через порты ввода/вывода



© 2014 МГУ/ВМК/СП

Обратная совместимость

- Обратная совместимость – свойство семейства процессоров. На более новом компьютере могут выполняться программы, рассчитанные на более ранние модели.
  - Прямая совместимость
- Линия A20. 8086 → 80286.
  - Контроллер клавиатуры Intel 8042

```
; открываем адресную линию A20
in   al, 92h
or   al, 2
out  92h, al
```

© 2014 МГУ/ВМК/СП

Многозадачная работа компьютера

- Привилегированный режим
  - Разделение машинных команд на две категории: пользовательские и привилегированные
- Механизм защиты памяти
  - Изоляция кода/данных различных программ (и операционной системы) друг от друга
- Таймер
  - Принудительное вытеснение программы с процессора
  - Многозадачность: невытесняющая и вытесняющая
- Механизм прерываний
  - Приоритеты прерываний
    - Одновременно произошедшие прерывания
    - Вложенные прерывания

© 2014 МГУ/ВМК/СП

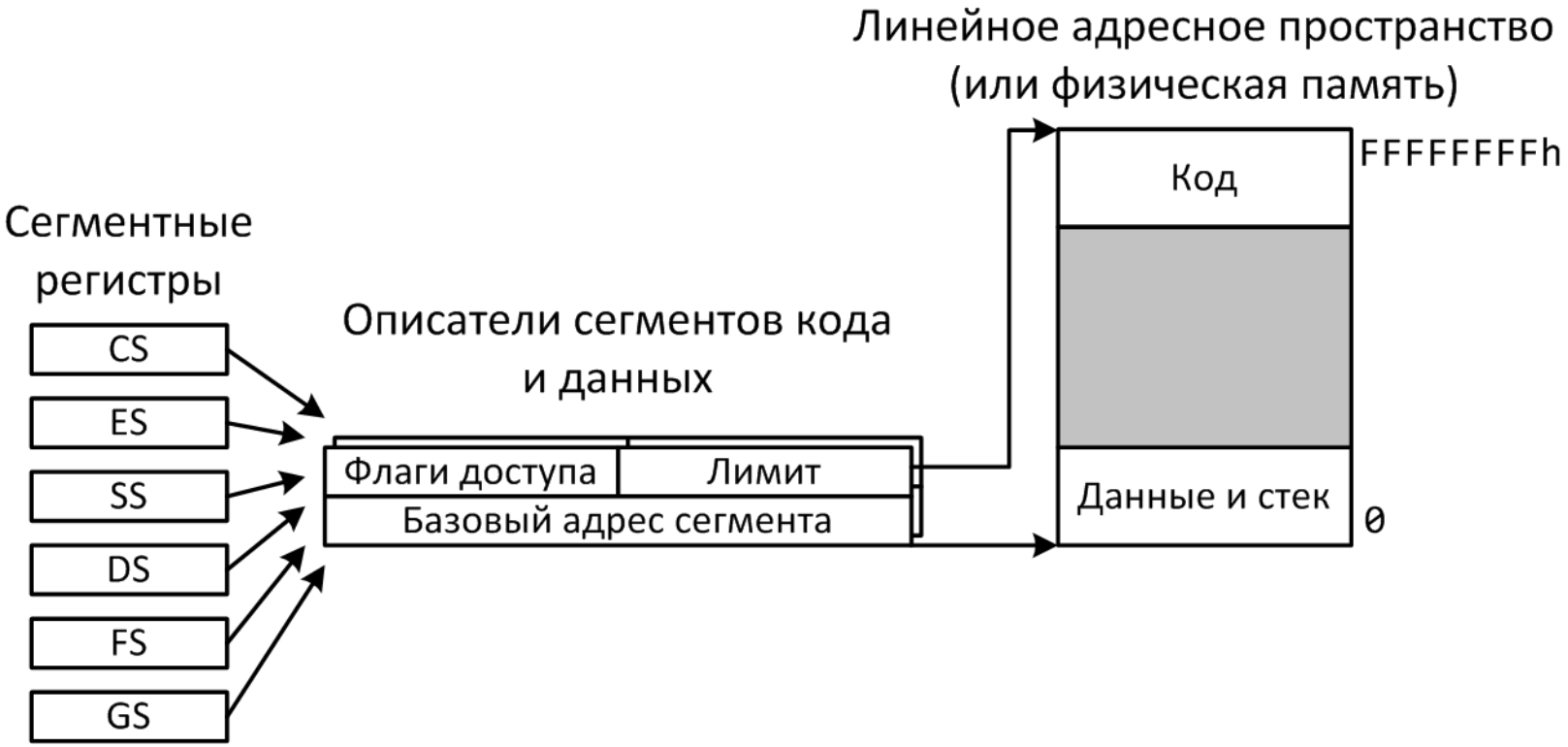
Модели памяти в IA-32

Исполнительный адрес ≡ Линейный адрес

- Реальный режим
  - Модель памяти с реальной адресацией
    линейный адрес = сегментный регистр << 4 + смещение
    Адрес физической памяти = линейный адрес
- Режимы защищенной памяти
  Дополнительный уровень косвенности: начальный (базовый) адрес сегмента определяется по таблице описателей сегментов, размещенной в памяти
  - Базовая плоская модель
    - Защищенная плоская модель
  - Мультисегментная модель
- *Независимо* от используемой модели памяти может быть включена страничная трансляция адресов

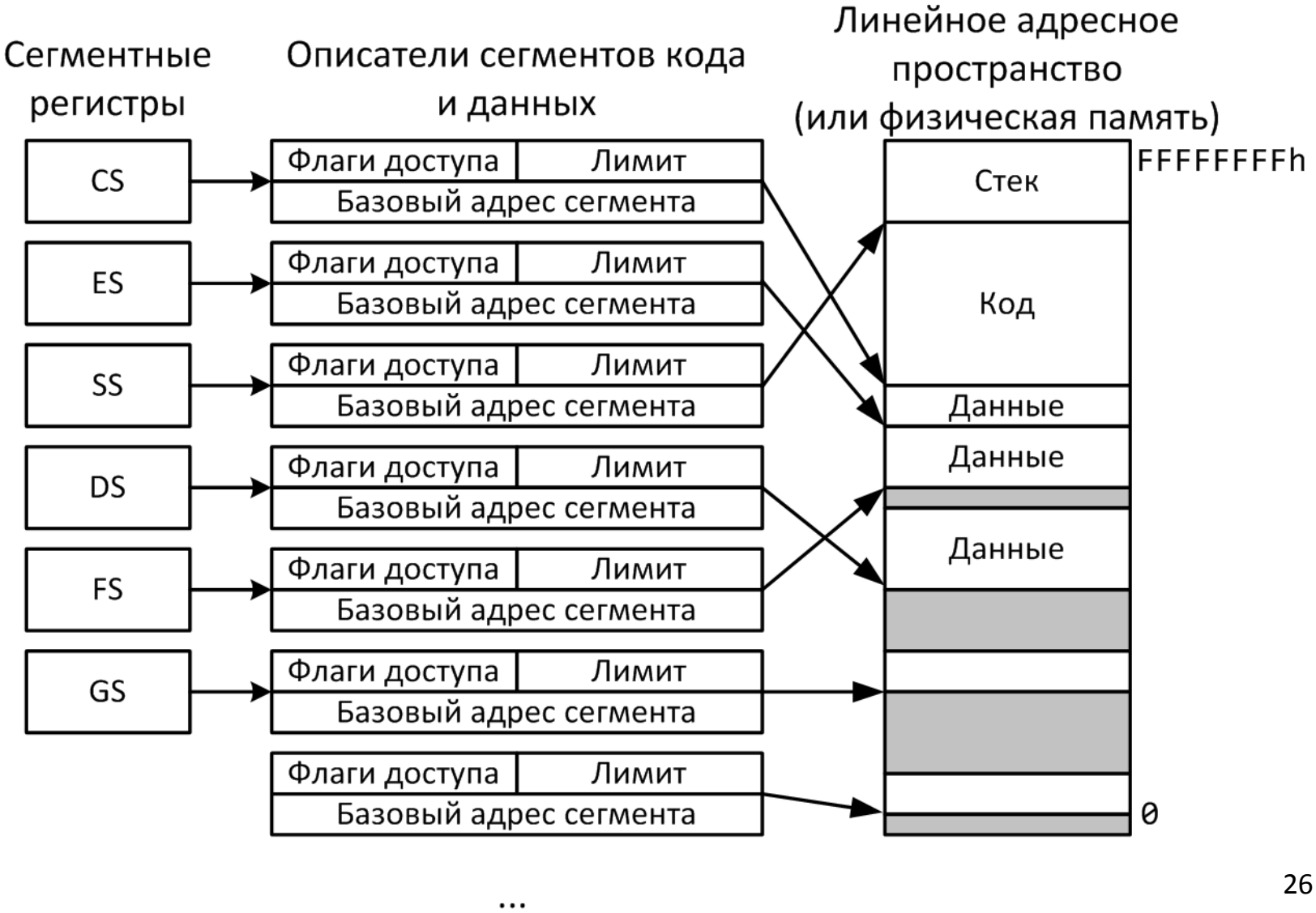
© 2014 МГУ/ВМК/СП

Плоская модель



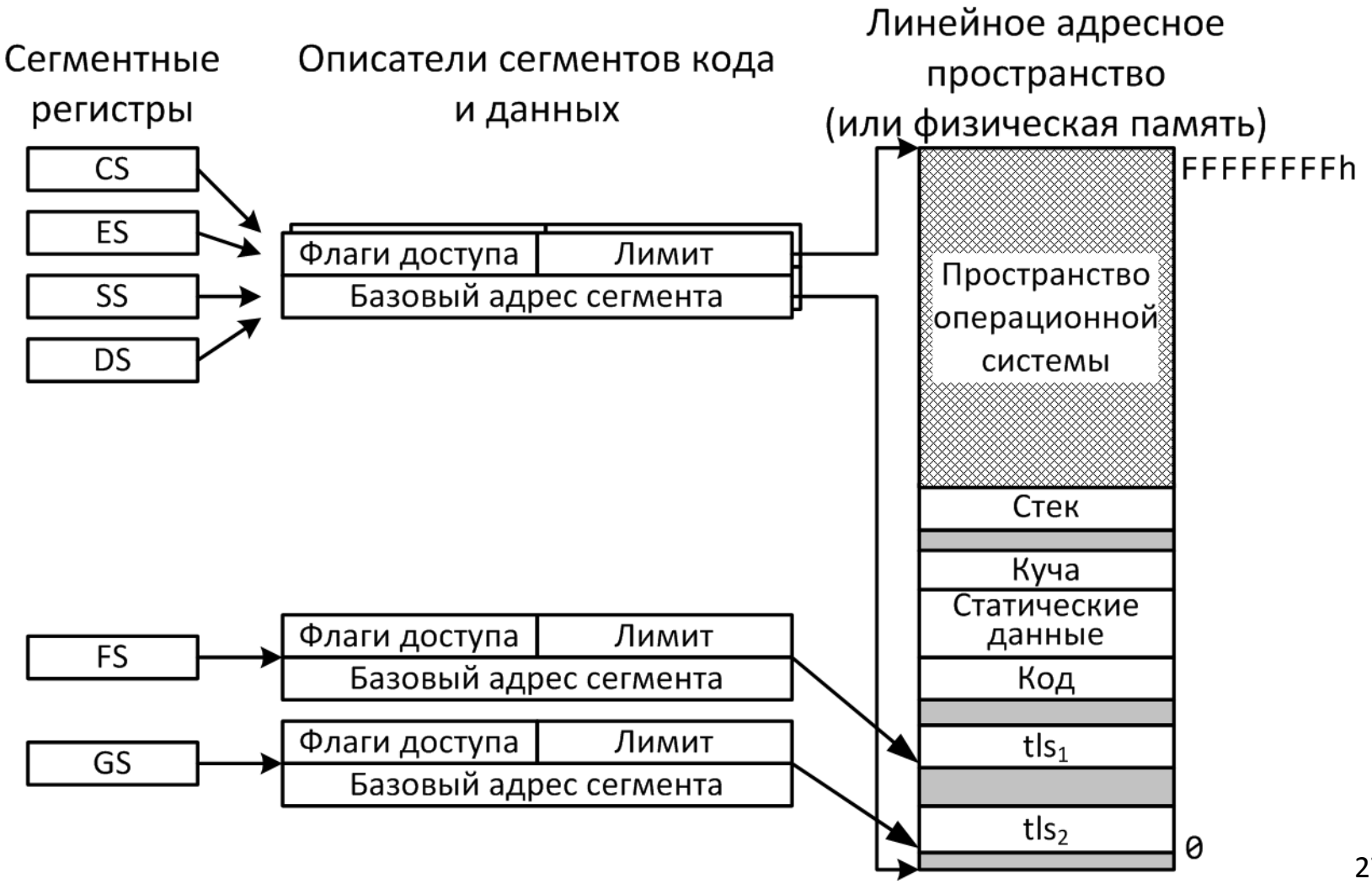
© 2014 МГУ/ВМК/СП

Мультисегментная модель



© 2014 МГУ/ВМК/СП

А что в реальной жизни?



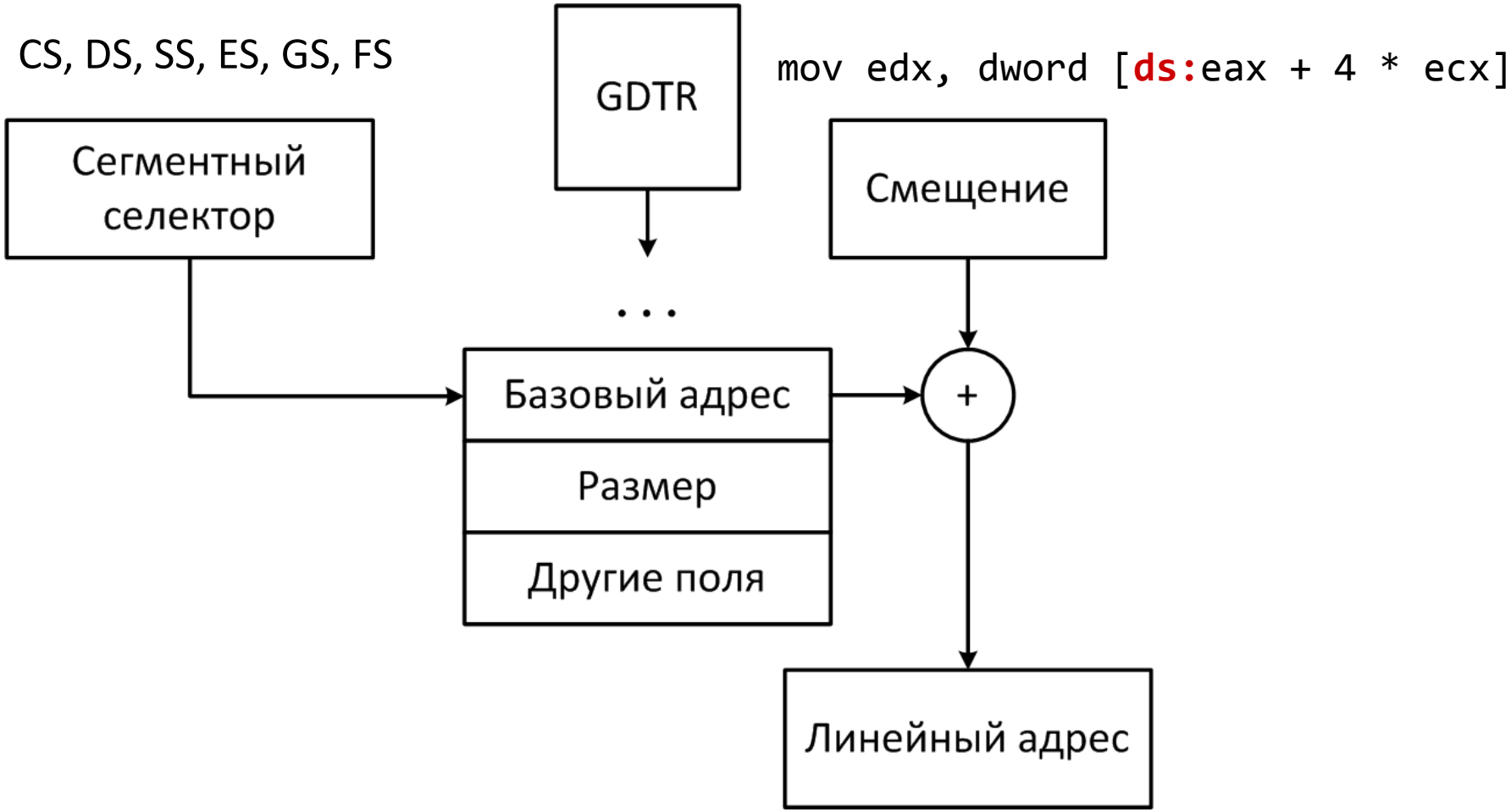
© 2014 МГУ/ВМК/СП

Защищенный режим / 80386

- Машинное слово и адрес 32 бита
- Два дополнительных сегментных регистра gs и fs
- Регистры управления
  - CR0, CR2, CR3
- Аппаратная защита памяти
  - Базы таблиц дескрипторов GDTR, LDTR, IDTR
  - Мультисегментная модель памяти
    - Фактически не используется
  - Многоуровневая трансляция адреса памяти
- Аппаратное переключение задач
  - фактически не используется

© 2014 МГУ/ВМК/СП

Сегментные селектор и дескриптор

© 2014 МГУ/ВМК/СП

Адресация в защищенном режиме