

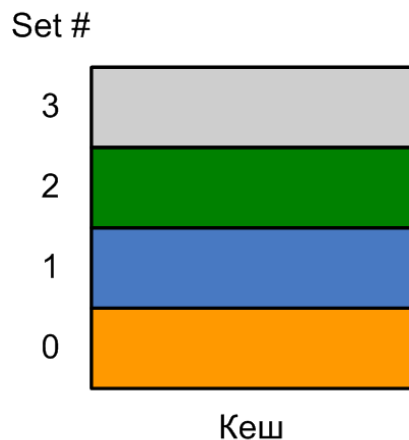
Лекция 21

21 апреля

Почему именно такой порядок полей в адресе?

t=1	s=2	b=1
x	xx	x

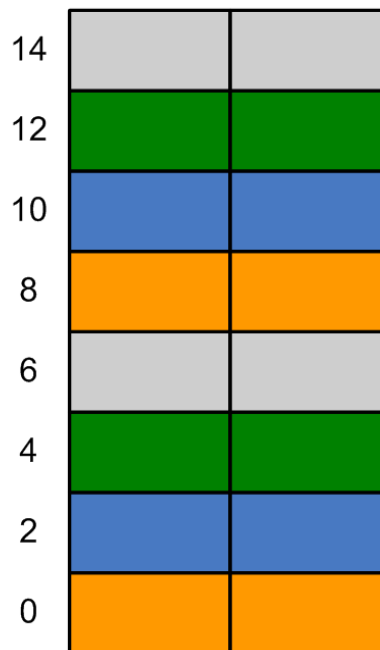
M=16 адресуемых байтов
 B=2 байта в блоке
 S=4 канала
 E=1 блок в канале



Правильное распределение полей в адресе

tag	index	offset
-----	-------	--------

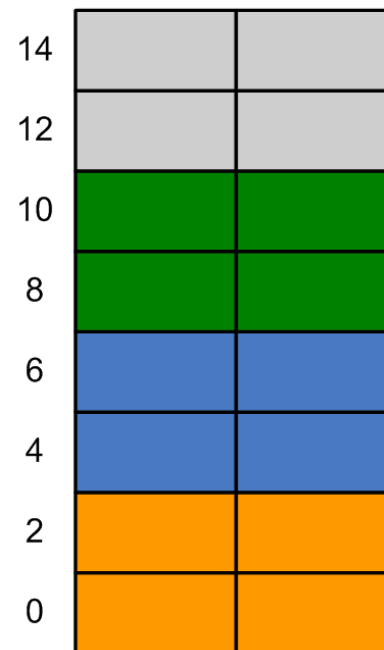
Адрес



Меняем местами tag и index

index	tag	offset
-------	-----	--------

Адрес



Измерение времени

- В Pentium появился регистр 64-разрядный регистр TSC, подсчитывающий количество выполнившихся тактов
- Инструкция `rdtsc` считывает значение регистра TSC и заносит его в `EDX:EAX`
- `rdtsc` может быть недоступна пользователям на некоторых системах

```
section .rodata
    format db '0x%08X 0x%08X', 10, 0

section .text
global CMAIN
CMAIN:
    ...
    rdtsc
    mov     dword [esp + 8], eax
    mov     dword [esp + 4], edx
    mov     dword [esp], format
    call    printf
    ...
```

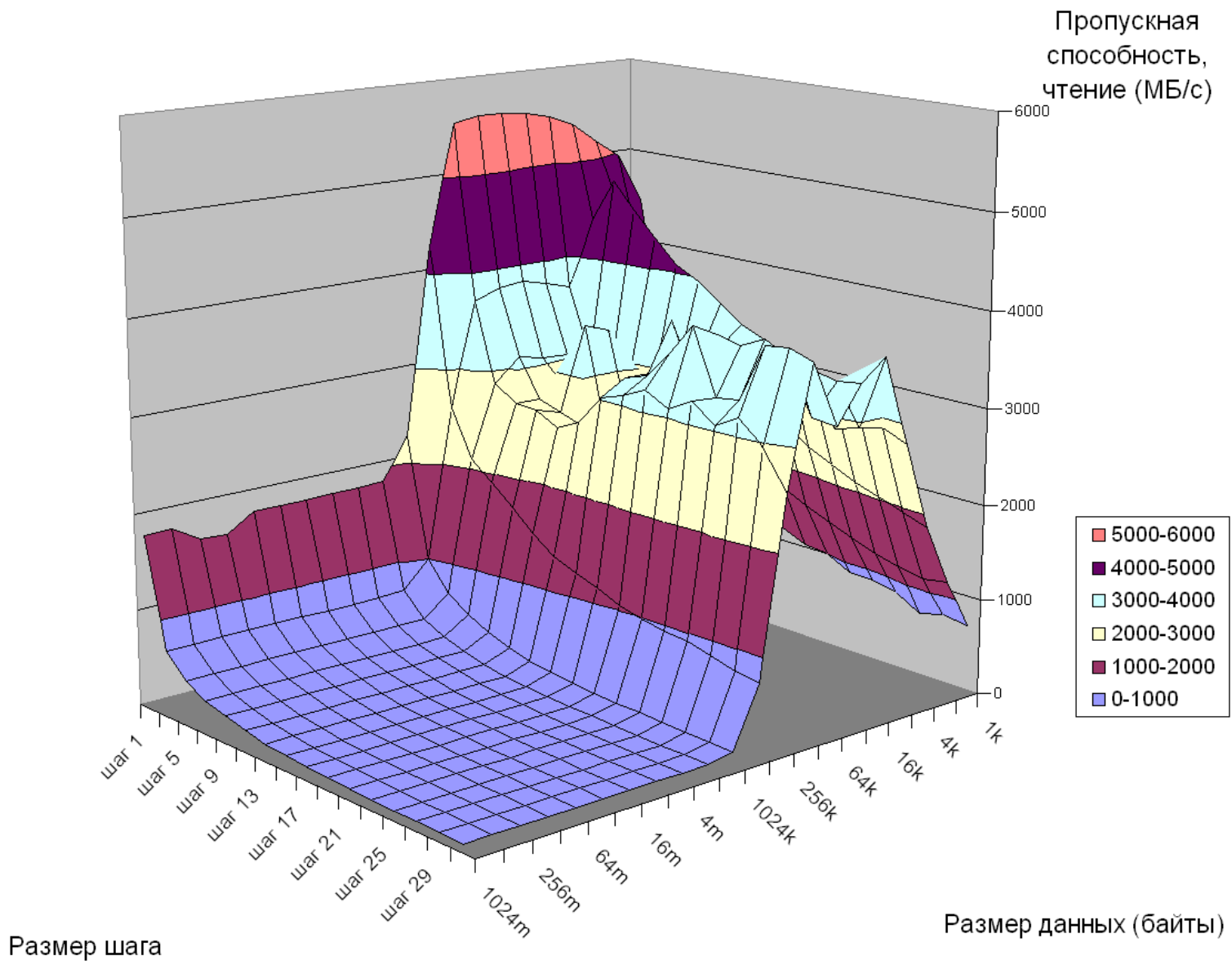
Оценка производительности памяти: синтетический бенчмарк (контрольная задача)

```
/* Оценочная функция */
void test(int elems, int stride) {
    int i, result = 0;
    volatile int sink;

    for (i = 0; i < elems; i += stride)
        result += data[i];
    sink = result;
}

/*
Запуск test(elems, stride) и вычисление пропускной способности
при чтении (МБ/с)
*/
double run(int size, int stride, double Mhz) {
    double cycles;
    int elems = size / sizeof(int);

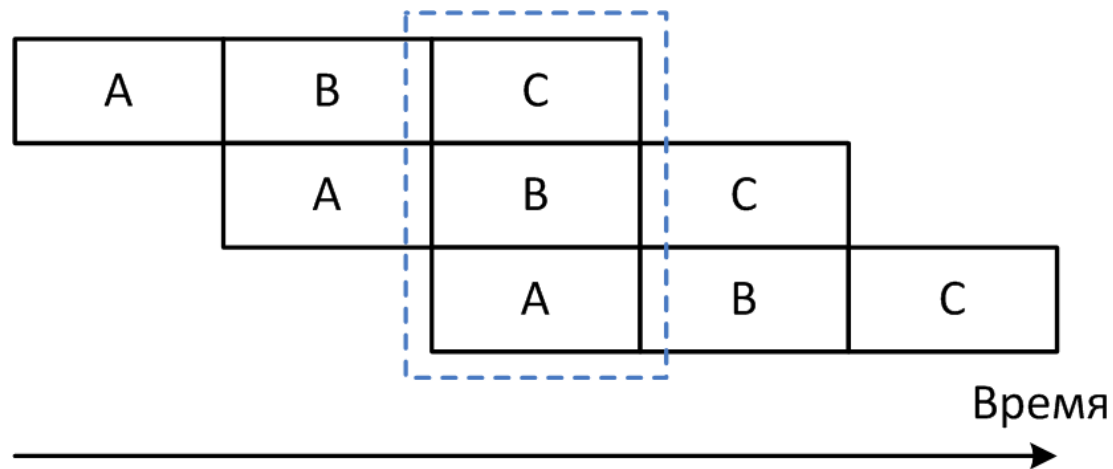
    test(elems, stride); /* разогрев кэша */
    cycles = fcyс2(test, elems, stride, 0); /* вызываем test(elems, stride) */
    return (size / stride) / (cycles / Mhz); /* переводим кол-во циклов в МБ/с */
}
```



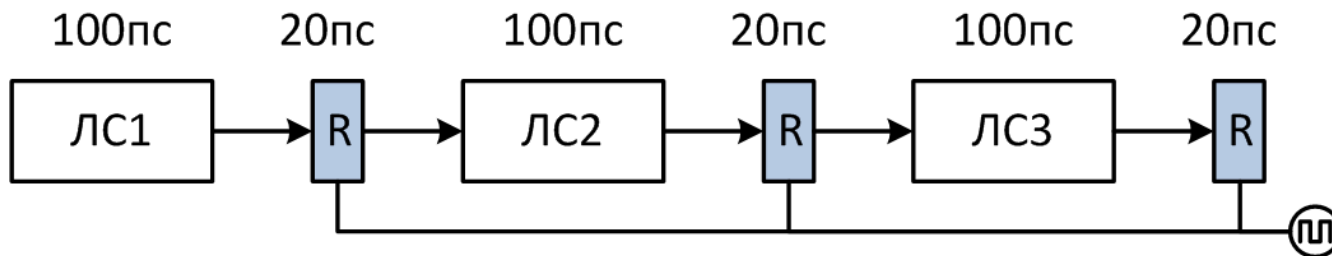
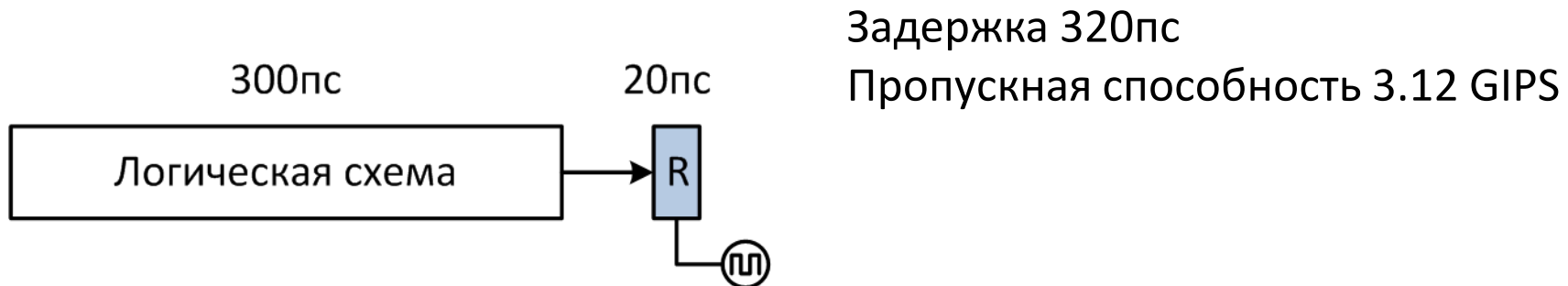
Intel(R) Xeon(TM) CPU 2.80GHz 2x2

Конвейер

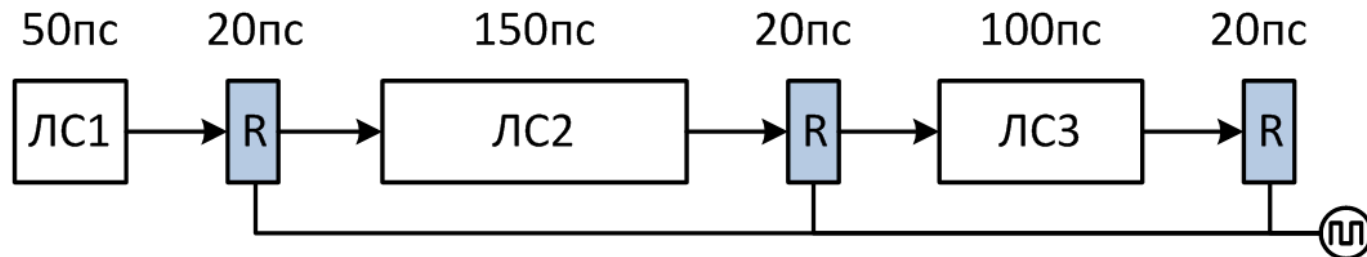
- Общая для различных предметных областей методика
- Длительность обработки неизменна или несколько увеличивается
- Увеличение пропускной способности



Организация конвейерных вычислений

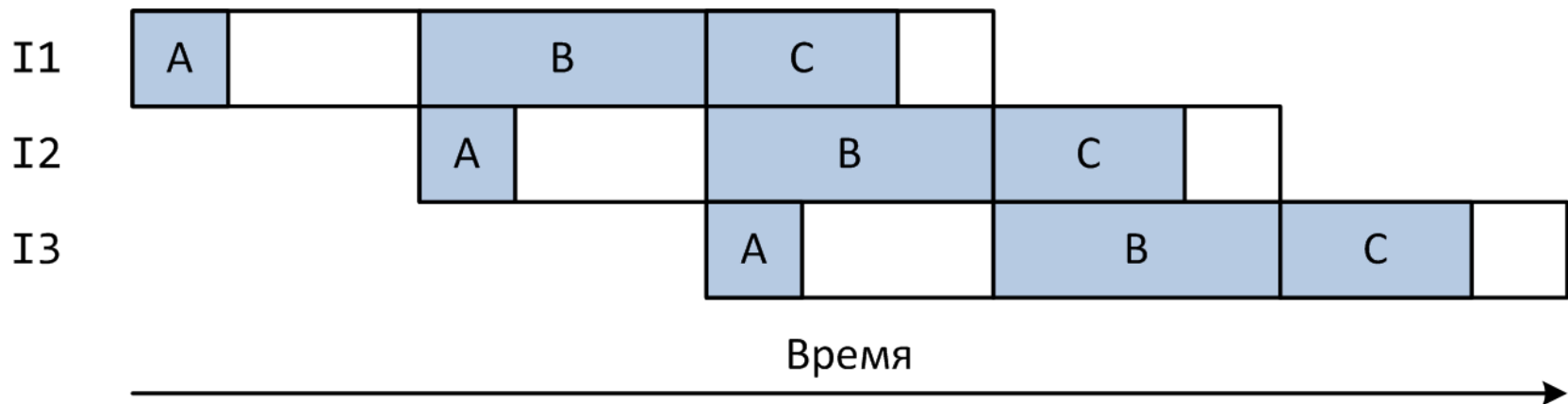


Неоднородность ступеней конвейера



Задержка 510пс

Пропускная способность 5.88 GIPS



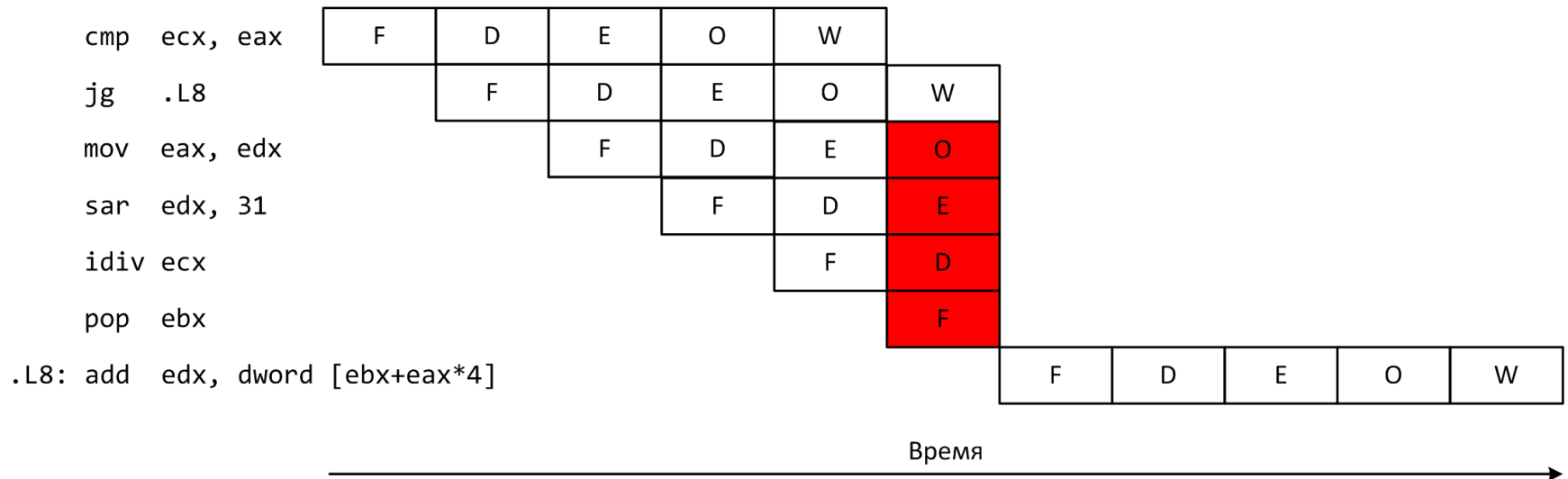
Упрощенная схема работы конвейера

1. (F) Извлечение инструкции из памяти
2. (D) Декодирование, обновление EIP
3. (E) Извлечение данных
4. (O) Непосредственное выполнение операции
5. (W) Запись результата

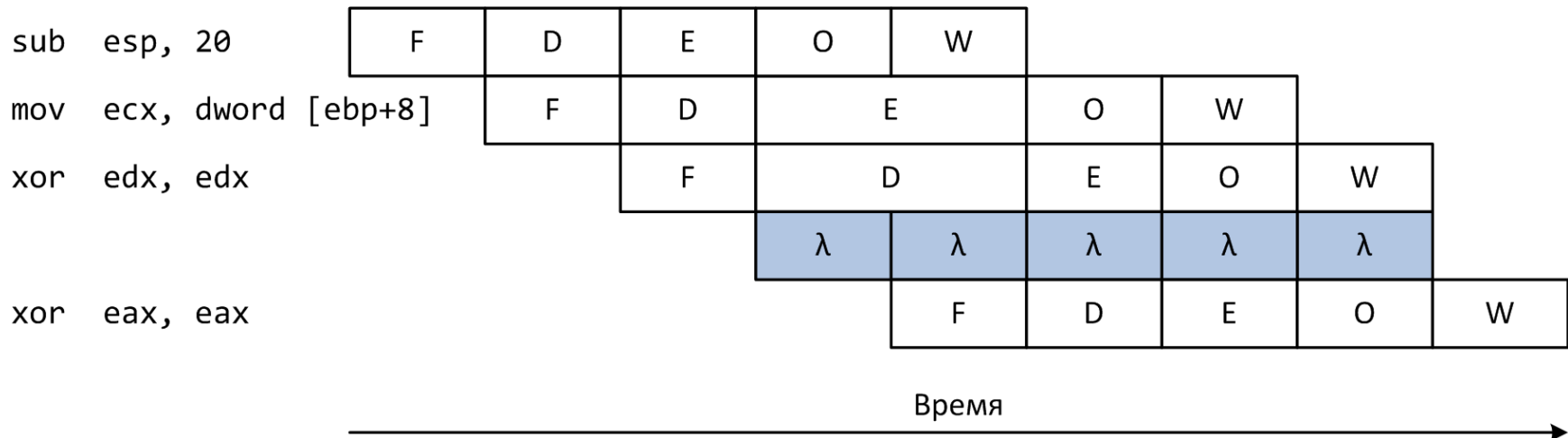
Недостатки конвейерной организации

- Опустошение конвейера
 - Современные процессоры могут содержать конвейеры длины 15 и более
 - Изменение EIP сбрасывает промежуточные результаты выполнения следующих инструкций
- Зависимости по чтению и записи регистров
- Остановки из-за обращения к памяти
- Сброс промежуточных результатов при возникновении исключительной ситуации

Опустошение конвейера

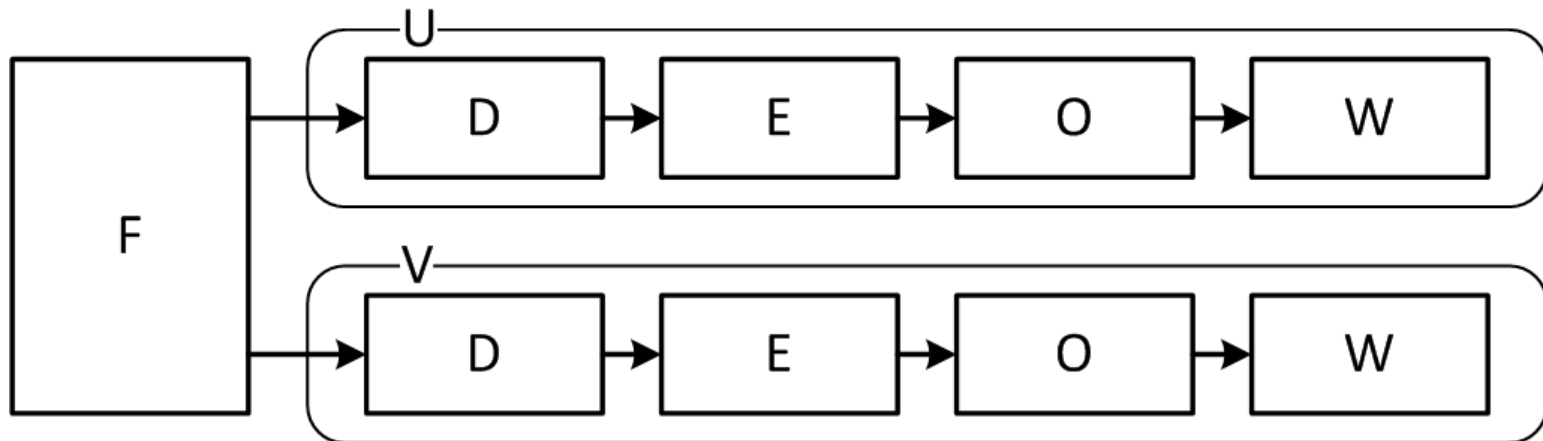


Приостановка конвейера

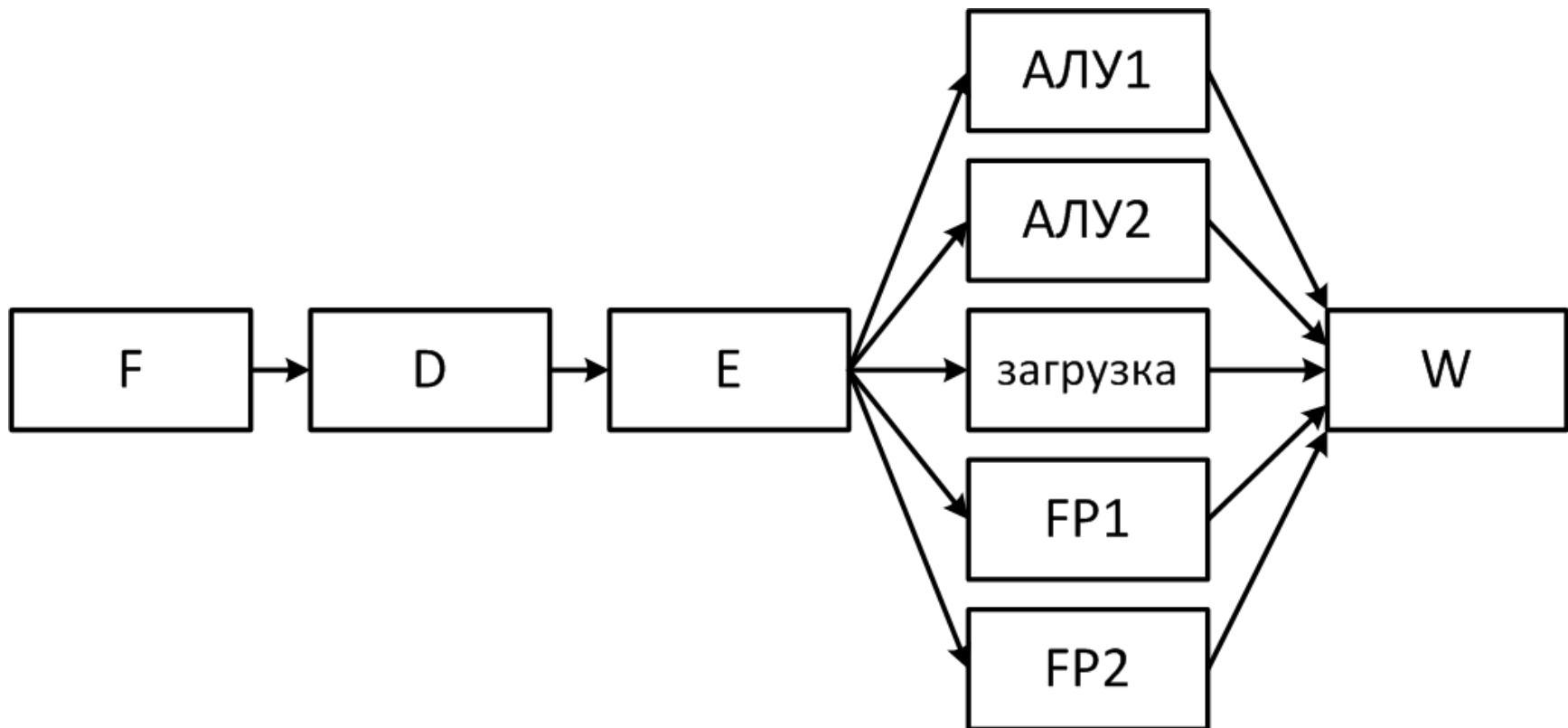


Двойной конвейер

- Двойной конвейер с общим этапом выборки команд
- Впервые появился на Pentium: введены u- и v-конвейеры
- Возможности конвейеров неравноценны



Суперскалярная архитектура



RISC vs CISC

(Reduced vs Complex Instruction Set Computer)

- Исторически CISC предшествовал RISC
 - PDP-11 → VAX / CISC, 1977 г.
 - MIPS, SPARC / RISC, конец 80-х
- Простые операции
 - Ограниченный набор простых команд (например, нет деления)
 - Команда выполняется за один такт
 - Фиксированная длина команды (простота декодирования)
- Конвейер
 - Каждая операция разбивается на однотипные простые этапы, которые выполняются параллельно
 - Каждый этап занимает 1 такт, в т.ч. декодирование
- Регистры
 - Много однотипных взаимозаменяемых регистров (могут использоваться и для данных, и для адресации)

RISC vs CISC

(Reduced vs Complex Instruction Set Computer)

- Модель работы с памятью
 - Отдельные команды для загрузки/сохранения в память
 - Команды обработки данных работают только с регистрами
- Сложность оптимизаций перенесена из процессора в компилятор
 - Производительность сильно зависит от компилятора
- Итого: более простое ядро, выше частота процессора
- В P6 реализован гибридный подход: CISC-процессор с RISC-ядром

Архитектура ARM

- ARM: Advanced RISC Machine
 - Область применения: встраиваемые системы
 - Разработчик: компания ARM Holdings, лицензирует дизайн процессора производителям оборудования
- Основные особенности:
 - Энергоэффективность
 - Низкая стоимость
 - Относительно простое ядро
 - Расширяемость

Архитектура ARM

История развития

Архитектура	Семейство процессоров	Год	Примеры устройств
ARMv1	ARM1	1985	
ARMv2	ARM2, ARM3		
ARMv3	ARM6, ARM7	1992	
ARMv4	StrongARM, ARM7TDMI, ARM9TDMI	2003	iPaq 4150
ARMv5	ARM7EJ, ARM9E, ARM10E, XScale		
ARMv6	ARM11	2007	iPhone (orig, 3G)
ARMv7	Cortex A8, Cortex A9	2008	N900, iPhone (3GS, 4, 4S)
ARMv8	Пока нет	2011	

Архитектура ARM

Регистры

- 16 регистров общего назначения
 - Размер: 32 бита, используются в целочисленных командах, полностью взаимозаменяемые
 - Именованние: r0 - r15
 - Некоторые регистры имеют специальные имена и назначение:
 - PC (r15) – Program Counter
 - LR (r14) – Link Register
 - SP (r13) – Stack Pointer

Промежуточные итоги

Борьба за производительность

- Программы
 - Оптимизирующий компилятор
 - машинно-независимые и машинно-зависимые оптимизации
 - Выравнивание данных
 - Улучшение локальности
- Аппаратура
 - Иерархическая организация памяти
 - многоуровневое кеширование данных
 - Расслоение памяти
 - Согласованность пропускной способности шин и устройств
 - Перекрытие операций ввода/вывода и вычислений
 - Конвейерное выполнение инструкций
 - Увеличение количества функциональных устройств
 - Упорядочивание архитектуры ЦПУ / RISC
 - Больше возможностей для разработки машинно-зависимых оптимизаций

История развития x86

- 4004 – ноябрь 1971. 4-битный микропроцессор. Первый в мире коммерчески доступный однокристалльный микропроцессор.
- 8008 – апрель 1972. 8080 – апрель 1974. 8-битные процессоры.
- 8086 – **1978**. Размер слова – 16 бит, ширина адресной шины – 20 бит. Адреса вычисляются с использованием сегментных регистров.
- 80186 – 1982. Добавлено несколько новых инструкций.
- 80286 – 1982. Ширина адресной шины – 24 бита, добавлено устройство контроля памяти – MMU. Процессор мог переключаться между двумя режимами – реальным и защищенным.
- 80386 – октябрь **1985**. Снят с производства в 2007. Размер слова – 32-разряда. Процессор мог переключаться между тремя режимами – реальным, защищенным, виртуальным. Адресуемая память – 4 ГБ.
- ...
- Intel Xeon E7-8870 - **2011**. 2.40 GHz; 2.2×10^9 транзисторов; системная шина QPI: 6.4 ГТ/с; обращение к памяти: 102 ГБ/с; Адресуемая память – 16 ТБ; Кэш L1: 64КБ L2: 256КБ L3: 30МБ